Projektarbeit

SD Ram Kontroller

FH Südwestfallen Hagen

Danny Candra 10009027

Ahmad Hassan 10014378

Inhaltverzeichnis

1. **Aufgabenstellung X**
2. **SD Ram Spezifikationen** 
   1. **Spezifikationen X**
   2. **Kontrollsignale X**
   3. **DE2-70 SDRAM Pins X**
   4. **Allgemeine Befehle X**
   5. **SDRAM** Zustandsdiagramm **X**
   6. **Timing X**
3. **Entwicklung von SD Ram Kontroller** 
   1. **Voreinstellungen X**
   2. **Bibliotheken X**
   3. **VHDL Modul X**
4. **Entwicklung von Test Programm** 
   1. **Voreinstellungen X**
   2. **Bibliotheken X**
   3. **VHDL Modul X**
5. **Tests und Ergebnisse X**

**1. Aufgabenstellung**

[Platzhälter]

**2. SD RAM Spezifikation**

**2.1 SD RAM Spezifikation**

Auf dem DE2-70 Board befindet sich 2 SDRAM, jeweils hat die Kapazität von 256 MBits (32 MBytes). Der SDRAm auf dem DE2-70 ist von marke ISSI (IS42S16160B).

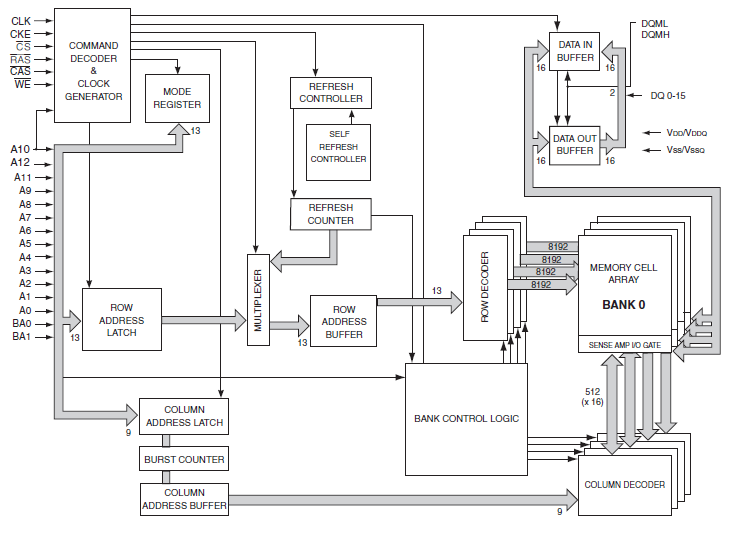
Jedes Chip ist so konfiguriert 4M x 16 Bits x 4 Banks, d.h. 4000000 \* 16 bits = 64000000 Bits (8 MBytes) pro Bank, insgesamt macht das 32Mbytes weil es 4 Banks vorhanden sind. Eine kurze Erläuterung am Beispiel eines SDRAMs mit 16 Bit breitem Dateninterface.

Dieser besitzt 4 Bänke, jede dieser Bank ist in 8192 Zeilen zu je 512 Spalten eingeteilt. Daraus wiederum ergeben sich die benötigten breiten der Adressleitungen. Für die Adressierung der Zeilen werden 13 Bit (A0-A12) benötigt, für die Spalten 9 Bit (A0-A8). Die Adressierung der vier Bänke erfolgt separat über die 2 Leitungen BA0 und BA1. Über die Bank-, Zeilen- und Spaltenadresse kann jedes Datenword eindeutig angesprochen werden.

Alle Lese- und Schreibprozesse werden auf die Burst-Länge bezogen. Das bedeutet z.B. wenn man mit einer Burst-Länge 1 arbeitet und einen Lesebefehl aktiviert, so bekommt man auch nur die 16 Bit der adressierten Speicherzelle vom SDRAM geliefert. Arbeitet man mit einer Burst-Länge von 8, so bekommt man zur adressierten Speicherzelle noch die folgenden 7 Speicherzellen mit ausgelesen. Dasselbe gilt auch für die Schreibprozesse. Erst durch solch kombinierte Lese- und Schreibprozesse entfaltet ein SDRAM seinen Geschwindigkeitsvorteil gegenüber SRAMs.

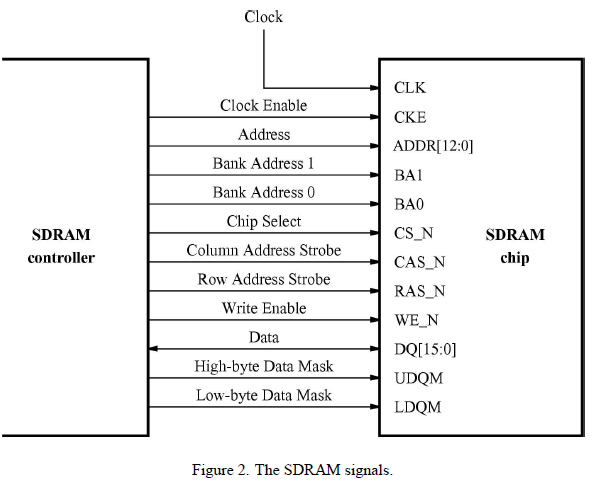
Den nur mit dem Anlegen der Zieladresse ist der Datentransfer zum und vom SDRAM nicht getan. Es werden zusätzliche Takte zum Aktivieren der Bank, adressieren der Reihe und der Spalte benötigt. Anschließend wird die Bank wieder deaktiviert. Dies geschieht bei jedem Lese- und Schreibbefehl. So werden bei Burst-Länge 1 und einem CAS-Latency von 3 mindestens 7 Takte benötigt um einen Wert in eine Speicherzelle zu schreiben. Das bedeutet einen Overhead von 6 Takten. Bei größeren Burst-Längen (besonders im Full-Page-Mode) fallen diese 6 Takte gegenüber 256 Daten schreibenden Takten kaum in Gewicht.

**Blockdiagramm von 4Mx16x4**



**2.2. SD RAM Kontrollsignale**

Folgende Kontrollsignale wird zur Steuerung von SDRAM benutzt:



CLK = Clock

CKE = Clock Enable

ADDR = Address Input

BA0 = Bank Select Address

BA1 = Bank Select Address

CS\_N =Chip Select

CAS\_N = Column Address Strobe Command

RAS\_N = Row Address Strobe Command

WE\_N = Write Enable

DQ[15:0] = Data I/O

UDQM = x16 Upper Byte Input / Output Mask

LDQM = x16 Lower Byte Input / Output Mask

**2.3. DE2-70 SDRAM Pins**

Folgende Pinsbelegungen werden zur Steuerung von SDRAM1 und SDRAM2 benutzt.

**DE2-70 Pinsbelegungen für SDRAM1**

**Signal Name FPGA Pin No. Beschreibung**

DRAM0\_A[0] PIN\_AA4 SDRAM 1 Address[0]

DRAM0\_A[1] PIN\_AA5 SDRAM 1 Address[1]

DRAM0\_A[2] PIN\_AA6 SDRAM 1 Address[2]

DRAM0\_A[3] PIN\_AB5 SDRAM 1 Address[3]

DRAM0\_A[4] PIN\_AB7 SDRAM 1 Address[4]

DRAM0\_A[5] PIN\_AC4 SDRAM 1 Address[5]

DRAM0\_A[6] PIN\_AC5 SDRAM 1 Address[6]

DRAM0\_A[7] PIN\_AC6 SDRAM 1 Address[7]

DRAM0\_A[8] PIN\_AD4 SDRAM 1 Address[8]

DRAM0\_A[9] PIN\_AC7 SDRAM 1 Address[9]

DRAM0\_A[10] PIN\_Y8 SDRAM 1 Address[10]

DRAM0\_A[11] PIN\_AE4 SDRAM 1 Address[11]

DRAM0\_A[12] PIN\_AF4 SDRAM 1 Address[12]

DRAM\_D[0] PIN\_AC1 SDRAM 1 Data[0]

DRAM0\_D[1] PIN\_AC2 SDRAM 1 Data[1]

DRAM\_D[2] PIN\_AC3 SDRAM 1 Data[2]

DRAM\_D[3] PIN\_AD1 SDRAM 1 Data[3]

DRAM\_D[4] PIN\_AD2 SDRAM 1 Data[4]

DRAM\_D[5] PIN\_AD3 SDRAM 1 Data[5]

DRAM\_D[6] PIN\_AE1 SDRAM 1 Data[6]

DRAM\_D[7] PIN\_AE2 SDRAM 1 Data[7]

DRAM\_D[8] PIN\_AE3 SDRAM 1 Data[8]

DRAM\_D[9] PIN\_AF1 SDRAM 1 Data[9]

DRAM\_D[10] PIN\_AF2 SDRAM 1 Data[10]

DRAM\_D[11] PIN\_AF3 SDRAM 1 Data[11]

DRAM\_D[12] PIN\_AG2 SDRAM 1 Data[12]

DRAM\_D[13] PIN\_AG3 SDRAM 1 Data[13]

DRAM\_D[14] PIN\_AH1 SDRAM 1 Data[14]

DRAM\_D[15] PIN\_AH2 SDRAM 1 Data[15]

DRAM0\_BA\_0 PIN\_AA9 SDRAM 1 Bank Address[0]

DRAM0\_BA\_1 PIN\_AA10 SDRAM 1 Bank Address[1]

DRAM0\_LDQM0 PIN\_V9 SDRAM 1 Low-byte Data Mask

DRAM0\_UDQM1 PIN\_AB6 SDRAM 1 High-byte Data Mask

DRAM0\_RAS\_N PIN\_Y9 SDRAM 1 Row Address Strobe

DRAM0\_CAS\_N PIN\_W10 SDRAM 1 Column Address Strobe

DRAM0\_CKE PIN\_AA8 SDRAM 1 Clock Enable

DRAM0\_CLK PIN\_AD6 SDRAM 1 Clock

DRAM0\_WE\_N PIN\_W9 SDRAM 1 Write Enable

DRAM0\_CS\_N PIN\_Y10 SDRAM 1 Chip Select

**DE2-70 Pinsbelegungen für SDRAM2**

**Signal Name FPGA Pin No. Description**

DRAM1\_A[0] PIN\_T5 SDRAM 2 Address[0]

DRAM1\_A[1] PIN\_T6 SDRAM 2 Address[1]

DRAM1\_A[2] PIN\_U4 SDRAM 2 Address[2]

DRAM1\_A[3] PIN\_U6 SDRAM 2 Address[3]

DRAM1\_A[4] PIN\_U7 SDRAM 2 Address[4]

DRAM1\_A[5] PIN\_V7 SDRAM 2 Address[5]

DRAM1\_A[6] PIN\_V8 SDRAM 2 Address[6]

DRAM1\_A[7] PIN\_W4 SDRAM 2 Address[7]

DRAM1\_A[8] PIN\_W7 SDRAM 2 Address[8]

DRAM1\_A[9] PIN\_W8 SDRAM 2 Address[9]

DRAM1\_A[10] PIN\_T4 SDRAM 2 Address[10]

DRAM1\_A[11] PIN\_Y4 SDRAM 2 Address[11]

DRAM1\_A[12] PIN\_Y7 SDRAM 2 Address[12]

DRAM\_D[16] PIN\_U1 SDRAM 2 Data[0]

DRAM\_D[17] PIN\_U2 SDRAM 2 Data[1]

DRAM\_D[18] PIN\_U3 SDRAM 2 Data[2]

DRAM\_D[19] PIN\_V2 SDRAM 2 Data[3]

DRAM\_D[20] PIN\_V3 SDRAM 2 Data[4]

DRAM\_D[21] PIN\_W1 SDRAM 2 Data[5]

DRAM\_D[22] PIN\_W2 SDRAM 2 Data[6]

DRAM\_D[23] PIN\_W3 SDRAM 2 Data[7]

DRAM\_D[24] PIN\_Y1 SDRAM 2 Data[8]

DRAM\_D[25] PIN\_Y2 SDRAM 2 Data[9]

DRAM\_D[26] PIN\_Y3 SDRAM 2 Data[10]

DRAM\_D[27] PIN\_AA1 SDRAM 2 Data[11]

DRAM\_D[28] PIN\_AA2 SDRAM 2 Data[12]

DRAM\_D[29] PIN\_AA3 SDRAM 2 Data[13]

DRAM\_D[30] PIN\_AB1 SDRAM 2 Data[14]

DRAM\_D[31] PIN\_AB2 SDRAM 2 Data[15]

DRAM1\_BA\_0 PIN\_T7 SDRAM 2 Bank Address[0]

DRAM1\_BA\_1 PIN\_T8 SDRAM 2 Bank Address[1]

DRAM1\_LDQM0 PIN\_M10 SDRAM 2 Low-byte Data Mask

DRAM1\_UDQM1 PIN\_U8 SDRAM 2 High-byte Data Mask

DRAM1\_RAS\_N PIN\_N9 SDRAM 2 Row Address Strobe

DRAM1\_CAS\_N PIN\_N8 SDRAM 2 Column Address Strobe

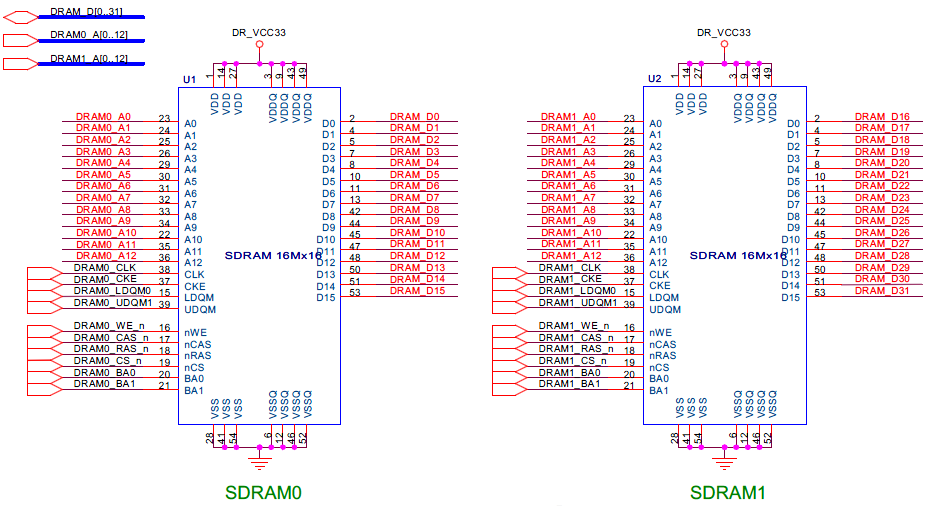
DRAM1\_CKE PIN\_L10 SDRAM 2 Clock Enable

DRAM1\_CLK PIN\_G5 SDRAM 2 Clock

DRAM1\_WE\_N PIN\_M9 SDRAM 2 Write Enable

DRAM1\_CS\_N PIN\_P9 SDRAM 2 Chip Select

**DE2-70 SD RAM PINS DIAGRAM**



**2.4. Allgemeine Befehle**

**LOAD MODE REGISTER**

Während der LOAD Mode Register Befehl den Modus Register wird von A0-A12 geladen. Dieser Befehl kann nur ausgestellt werden, wenn alle Banken im Leerlauf befinden.

**ACTIVE COMMAND**

Bei den aktiven Befehl ist, BA0, BA1 aktiviert Eingänge wählt eine Bank, auf die zugegriffen werden, und die Adresse Eingänge auf A0-A12 wählt die Zeile. Bis eine Vorladung Befehl an die Bank ausgestellt wird, bleibt die Reihe offen für zugreift.

**READ**

Die READ Befehl wählt die Bank aus BA0, BA1.Eingänge und startet eine Burst-Lese-Zugriff auf eine aktive Zeile. Eingänge A0-A9 (x8), A0-A8 (x16) bietet ab Spalte Standort. Wenn A10 HIGH ist, diesen Befehl fungiert als  
AUTO Vorladebefehl. Wenn die Auto Precharge ausgewählt ist, wird die Zeile zugegriffen werden vorgeladen zu werden Ende der READ platzen. Die Zeile wird offen bleiben für nachfolgende Zugriffe, wenn Auto Precharge ist nicht ausgewählt. DQ's Lesen von Daten unterliegt den Logikpegel auf der DQM Eingänge zwei Takte zuvor. Wenn ein bestimmtes Signal DQM registriert wurde hoch ist, wird die entsprechende DQ's sein High- Z zwei Takte später. DQ's liefert valide Daten, wenn die DQM Signal war niedrig registriert.

**WRITE**

Ein Burst-Schreibzugriff auf eine aktive Zeile wird mit dem eingeleiteten WRITE-Befehl. BA0, BA1 Eingänge wählt die Bank, und der Ausgangspunkt Spalte Standort wird durch Ein-A0-A9 zur Verfügung gestellt (X8), A0-A8 (x16). Ob Auto-Precharge ist verwendet wird, von A10 ermittelt. Die Zeile, auf die zugegriffen wird am Ende des vorgeladen werden WRITE platzen, wenn AUTO AUFBEREITUNG ausgewählt ist. Wenn Auto-Precharge nicht ausgewählt ist, die Zeile wird offen bleiben für spätere Zugriffe. Ein Speicher-Array mit den entsprechenden Input-Daten auf schriftliche DQ-und DQM Eingangslogik Ebene erscheinen gleichzeitig. Die Daten werden in den Speicher geschrieben werden, wenn DQM Signal schwach ist. Wenn DQM hoch ist, werden die entsprechenden Daten Eingänge werden ignoriert, und ein Schreibvorgang auf das Byte ausgeführt werden / Spalte Standort.

**PRECHARGE**

Die Precharge-Befehl wird verwendet, um die offenen Zeile in einer bestimmten Bank oder die offene Zeile in allen Banken zu deaktivieren. BA0, BA1 können Sie wählen, welche Bank vorgeladen sind oder sie werden als "Don't Care" behandelt. A10 bestimmt, ob eine oder Alle Banken vorgeladen sind. Nach Ausführung dieses Befehls, der nächste Befehl für die ausgewählte Bank (en) wird ausgeführt, nachdem Durchgang der Zeit TRP, die die erforderliche Zeit für sich Bank Vorladung. Sobald eine Bank vorgeladen hat, ist es im Ruhezustand und müssen vor aktiviert werden, um jede READ oder WRITE-Befehle werden an die Bank erteilt.

**AUTO PRECHARGE**

The AUTO PRECHARGE Funktion sorgt dafür, dass die Vorladung wird frühestens gültige Stufe innerhalb eines Bursts eingeleitet. Diese Funktion ermöglicht individuelle Bank-Precharge ohne eine ausdrückliche Befehl. A10, damit die AUTO PRECHARGE Funktion in Verbindung mit einer bestimmten LESEN oder WRITE-Befehl. Für jede einzelne READ-oder WRITE Befehl ist die AUTO PRECHARGE entweder aktiviert oder deaktiviert. AUTO AUFBEREITUNG gilt nicht außer in ganzseitigen Burst-Modus. Nach Abschluss der READ-oder WRITE platzen, eine Vorladung von der Bank / Zeile, gerichtet ist, wird automatisch durchgeführt.

**AUTO REFRESH COMMAND**

Dieser Befehl führt die automatische Aktualisierung Betrieb. Die Reihe Adresse und Bankverbindung aktualisiert werden, werden automatisch erzeugt bei diesem Vorgang. Die vereinbarten Zeitraum (TRC) ist erforderlich für eine einzelne Auffrischungsoperation und keine anderen Befehle können während dieser Zeit ausgeführt werden. Dieser Befehl ist ausgeführt mindestens 8192 mal pro 64ms. Während einer AUTO REFRESH-Befehl, Adressbits "Don't Care". Dieser Befehl entspricht CBR Auto-Refresh.

**BURST TERMINATE**

Die BURST BEENDEN Befehl beendet die Burst-Lese-und Schreibvorgänge durch Abschneiden entweder fixed length oder full page und die zuletzt registrierte READ-oder WRITE-Befehl vor dem BURST TERMINATE.

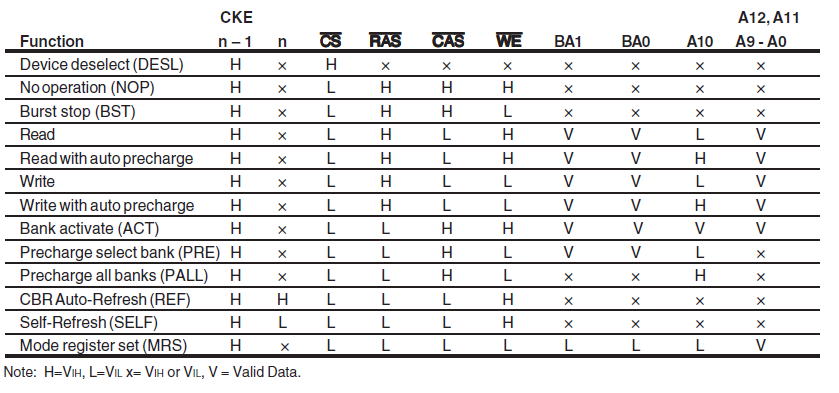
**COMMAND INHIBIT**

COMMAND INHIBIT verhindert, dass neue Befehle ausgeführt werden. Operations im Gange sind nicht betroffen, abgesehen davon, ob das CLK-Signal aktiviert.

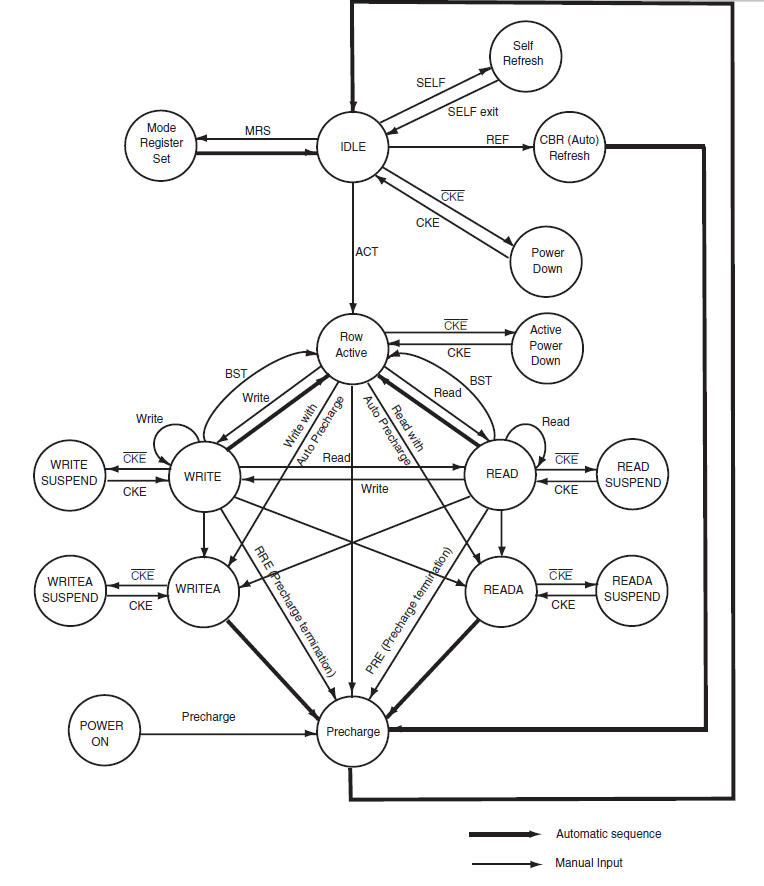
**NO OPERATION**

Bei CS niedrig ist, verhindert die unerwünschte NOP Befehle, die während Leerlauf oder warten Zustand registriert.

**Darstellung der Befehle in einer Tabelle**

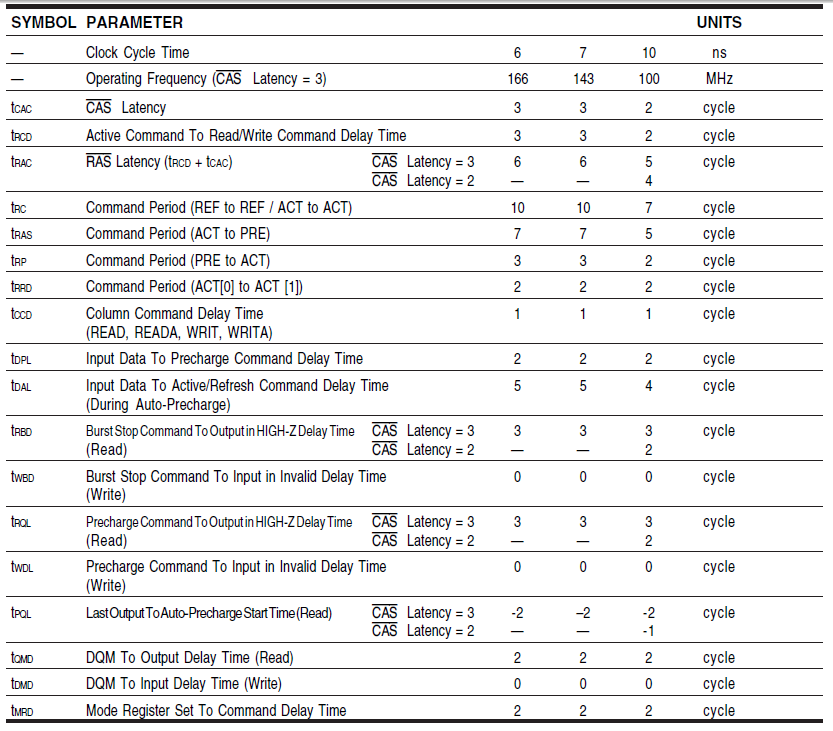


**2.5. SDRAM Zustandsdiagramm**

­­‑­

**2.5. Timing**

Auf dem Datenblatt steht folgende Timing-Tabelle



**3. SD RAM Spezifikation**

**3.1. SDRAM Zustandsdiagramm**